

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

16181200

Basic Patent (No,Kind,Date): JP 2000194323 A2 20000714 <No. of Patents: 003>

ANALOG BUFFER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): YAMAMOTO AKIRA

IPC: *G09G-003/36; G02F-001/133; G09G-003/20

Derwent WPI Acc No: *G 00-509132; G 00-509132

Language of Document: Japanese

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|---------------|------|----------|-------------|------|------------------|
| JP 2000194323 | A2 | 20000714 | JP 98369333 | A | 19981225 (BASIC) |
| KR 2000048166 | A | 20000725 | KR 9958129 | A | 19991216 |
| TW 507187 | B | 20021021 | TW 88120527 | A | 19991124 |

Priority Data (No,Kind,Date):

JP 98369333 A 19981225

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06608518 **Image available**

ANALOG BUFFER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 2000-194323 [JP 2000194323 A]

PUBLISHED: July 14, 2000 (20000714)

INVENTOR(s): YAMAMOTO AKIRA

APPLICANT(s): FUJITSU LTD

APPL. NO.: 10-369333 [JP 98369333]

FILED: December 25, 1998 (19981225)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To compensate for the dispersion in the threshold voltage of a thin film transistor and to speedingly charge the capacitance of a data bus.

SOLUTION: An analog buffer circuit 26, which sample-and-holds an input voltage and outputs the voltage, has an input terminal 20, to which the voltage is supplied, an output terminal 21, from which an output voltage is outputted, a first transistor T7, in which a source is connected to a first power supply, and a capacitor C1, whose one end is connected to the gate of the transistor T7. During a sampling interval, the terminal 20 is connected to the other end of the capacitor C1 and a drain of the transistor T7 is connected to one end of the capacitor C1 to charge the capacitor C1 in accordance with the input voltage. During a hold interval, the capacitor C1 holds the charged voltage. In an output interval, the terminal 21 is fed back to one end of the capacitor C1 and the terminal 21 is charged up or discharged through the transistor T7.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

公開特許公報 (A)

(11)特許出願公開番号

特開2000-194323

(P 2 0 0 0 - 1 9 4 3 2 3 A)

(43)公開日 平成12年7月14日(2000.7.14)

| (51) Int.CI. | 識別記号 | F I | テーマコード (参考) |
|--------------|------|------------|-------------|
| G09G 3/36 | | G09G 3/36 | 2H093 |
| G02F 1/133 | 550 | G02F 1/133 | 5C006 |
| G09G 3/20 | 623 | G09G 3/20 | A 5C080 |

審査請求 未請求 請求項の数10 O L (全16頁)

(21)出願番号 特願平10-369333

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 山本 彰

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100094525

弁理士 土井 健二 (外1名)

(22)出願日 平成10年12月25日(1998.12.25)

最終頁に続く

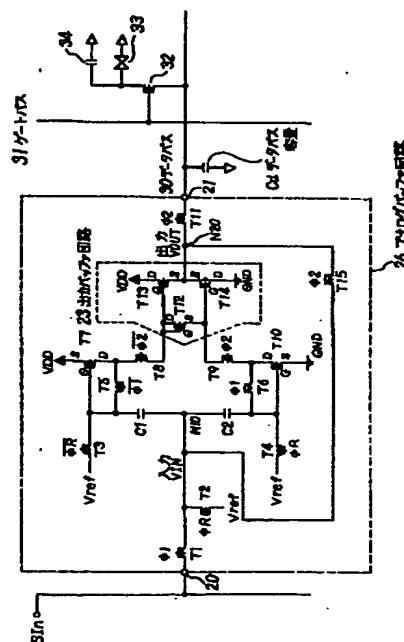
(54)【発明の名称】アナログバッファ回路及び液晶表示装置

(57)【要約】

【課題】薄膜トランジスタの閾値電圧のばらつきを補正し、データバスの容量を高速に充電可能なアナログバッファ回路及び液晶表示装置を提供する。

【解決手段】入力電圧をサンプルホールドし、出力するアナログバッファ回路において、入力電圧が供給される入力端子と、出力電圧が出力される出力端子と、ソースが第1の電源に接続された第1のトランジスタと、該第1のトランジスタのゲートに一端が接続された第1のコンデンサとを有し、サンプリング期間に、入力端子を第1のコンデンサの他端に接続し、第1のトランジスタのドレインを第1のコンデンサの一端に接続して、第1のコンデンサを入力電圧に応じて充電し、ホールド期間に、第1のコンデンサが充電電圧を保持し、出力期間に、出力端子を第1のコンデンサの一端に帰還しながら、第1のトランジスタを経由して出力端子を充電又は放電する。

本発明の第3の実施の形態のアナログバッファ回路の回路図



【特許請求の範囲】

【請求項1】入力電圧をサンプルホールドし、出力するアナログバッファ回路において、
前記入力電圧が供給される入力端子と、
出力電圧が出力される出力端子と、
ソースが第1の電源に接続された第1のトランジスタと、
該第1のトランジスタのゲートに一端が接続された第1のコンデンサとを有し、
サンプリング期間に、前記入力端子を前記第1のコンデンサの他端に接続し、前記第1のトランジスタのドレインを前記第1のコンデンサの一端に接続して、前記第1のコンデンサを前記入力電圧に応じて充電し、前記第1のコンデンサに前記入力電圧と前記第1のトランジスタの閾値電圧の差の電圧と前記第1の電源の電圧との差を記憶することを特徴とするアナログバッファ回路。

【請求項2】入力電圧をサンプルホールドし、出力するアナログバッファ回路において、
前記入力電圧が供給される入力端子と、
出力電圧が出力される出力端子と、
ソースが第1の電源に接続された第1のトランジスタと、
該第1のトランジスタのゲートに一端が接続された第1のコンデンサとを有し、
サンプリング期間に、前記入力端子を前記第1のコンデンサの他端に接続し、前記第1のトランジスタのドレインを前記第1のコンデンサの一端に接続して、前記第1のコンデンサを前記入力電圧に応じて充電し、
ホールド期間に、前記第1のコンデンサが充電電圧を保持し、
出力期間に、前記出力端子を前記第1のコンデンサの一端に帰還しながら、前記第1のトランジスタを経由して前記出力端子を充電又は放電することを特徴とするアナログバッファ回路。

【請求項3】請求項2において、
更に、ソースが第2の電源に接続された第2のトランジスタと、
該第2のトランジスタのゲートに一端が接続された第2のコンデンサとを有し、
サンプリング期間に、前記入力端子を前記第2のコンデンサの他端に接続し、前記第2のトランジスタのドレインを前記第2のコンデンサの一端に接続して、前記第2のコンデンサを前記入力電圧に応じて充電し、
ホールド期間に、前記第2のコンデンサが充電電圧を保持し、
出力期間に、前記出力端子を前記第2のコンデンサの一端に帰還しながら、前記第2のトランジスタを経由して前記出力端子を充電又は放電することを特徴とするアナログバッファ回路。

【請求項4】請求項2において、

更に、前記第1のトランジスタと前記出力端子との間にバッファ回路を有し、該バッファ回路を介して前記出力端子を充電又は放電することを特徴とするアナログバッファ回路。

【請求項5】請求項3において、

更に、前記第1、第2のトランジスタと前記出力端子との間にバッファ回路を有し、該バッファ回路を介して前記出力端子を充電又は放電することを特徴とするアナログバッファ回路。

【請求項6】請求項4において、

前記バッファ回路は、前記第1の電源電圧より小さい第3の電源電圧により駆動されることを特徴とするアナログバッファ回路。

【請求項7】請求項5において、

前記バッファ回路は、前記第1、第2の電源電圧差より小さい電圧差の第3、第4の電源電圧により駆動されることを特徴とするアナログバッファ回路。

【請求項8】請求項1乃至7のいずれかにおいて、

更に、前記第1及び・又は第2のコンデンサの一端に接続された補助コンデンサを有し、
前記サンプリング期間に前記補助コンデンサが前記入力電圧により充電されて、該入力電圧を保持することを特徴とするアナログバッファ回路。

【請求項9】データバスとゲートバスをマトリクス状に配線したガラス基板上に、薄膜トランジスタによる液晶駆動回路を形成した液晶表示装置において、

請求項1乃至8のいずれかに記載のアナログバッファ回路を前記データバスの各々に対応して設け、前記アナログバッファ回路は、映像信号を前記入力電圧として入力し、前記出力電圧を対応する前記データバスに出力することを特徴とする液晶表示装置。

【請求項10】請求項9において、

前記アナログバッファ回路は、第1の水平走査期間に前記映像信号をサンプリングする第1のアナログバッファ回路と、該第1の水平走査期間に続く第2の水平走査期間に前記第1のアナログバッファ回路の出力信号をサンプリングして前記データバスに出力する第2のアナログバッファ回路とを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその駆動回路に関し、特に薄膜トランジスタ(TFT)を用いてガラス基板上に画素と一体形成されたアナログバッファ回路に関する。

【0002】

【従来の技術】図14は、従来の液晶表示装置の構成図である。図14では簡単化のためデータバス30とゲートバス31の本数を省略しているが、大型の液晶表示装置では約3000本のデータバス30と約800本のゲ

一トバス31がマトリクス状に配線されている。また、各データバス30と各ゲートバス31の交差部にはスイッチ素子32を介して1画素に相当する液晶セル33と蓄積容量34が形成され、映像信号SINが供給される表示信号線25と各データバス30との間にはアナログバッファ回路26が設けられている。

【0003】アナログバッファ回路26は、データ・シフトレジスタ35から供給される走査信号に応答して、映像信号SINをデータバス30に左から右に順に書き込む。ゲート・シフトレジスタ36は、ゲートバス31に走査信号を上から下に順に供給してスイッチ素子32を導通し、データバス30に書き込まれた映像信号SINを1水平走査毎に液晶セル33に供給する。このようにデータ・シフトレジスタ35の1走査毎にゲート・シフトレジスタ36を1段ずつ走査することにより、すべての液晶セル33に映像信号SINを供給することができる。

【0004】このように大型の液晶表示装置では1水平走査期間に約3000本のデータバス30に映像信号SINを供給するため、データバス1本あたりの走査時間が短くなる。従って、アナログバッファ回路26は約50pF程度の容量があるデータバス30を直接駆動することができない。このため、アナログバッファ回路26は内部にサンプリング回路を設け、短い走査期間内に映像信号SINをサンプリングして保持し、その保持した映像信号SINをデータバス30の容量を十分に充電できる時間をかけてデータバス30に供給する。

【0005】ガラス基板上に駆動回路を一体形成した液晶表示装置において、アナログバッファ回路26は、液晶パネルと同一基板上に薄膜トランジスタにより構成される。しかし、薄膜トランジスタは閾値電圧のバラツキが大きく、薄膜トランジスタを用いたサンプリング回路の出力にオフセットが生じる欠点がある。そこで、入力された映像信号SINをオフセットなく出力するためには、例えば特開平9-230828号公報では薄膜トランジスタの閾値電圧のバラツキをキャンセルするアナログバッファ回路26が開示されている。

【0006】図15は、特開平9-230828号公報で開示された従来のアナログバッファ回路26の概略の回路図である。このアナログバッファ回路26は、ソースフォロワ8aのゲート端子に一端が接地されたコンデンサ9aが接続され、ゲート端子とドレン端子の間にスイッチ素子6aが設けられる。また、ソースフォロワ8aのドレン端子と電源VDDの間にスイッチ素子7aが設けられ、ゲート端子と電源VDDの間にスイッチ素子5aが設けられる。また、ソースフォロワ8aのソース端子はノードN1に接続される。

【0007】同様にソースフォロワ8bのゲート端子は一端が接地されたコンデンサ9bが接続され、ゲート端子とドレン端子の間にスイッチ素子6bが設けられ

る。また、ソースフォロワ8bのドレン端子と接地電源GNDとの間にスイッチ素子7bが設けられ、ゲート端子と接地GNDとの間にスイッチ素子5bが設けられる。また、ソースフォロワ8bのソース端子はノードN1に接続される。

【0008】更に、ノードN1と表示信号線25との間にはスイッチ素子3が設けられ、ノードN1とデータバス30の間にはスイッチ素子10が設けられる。そして、スイッチ素子5bにリセット信号ΦRが供給され、スイッチ素子5aに反転リセット信号ΦR/が供給される。また、スイッチ素子6bに制御信号Φ1が供給され、スイッチ素子6aに反転制御信号Φ1/が供給される。更に、スイッチ素子7bに制御信号Φ2が供給され、スイッチ素子7aに反転制御信号Φ2/が供給される。

【0009】このようにアナログバッファ回路26は上下対称の回路であり、データバス30に対して、上側のソースフォロワ8aは正極性の充電能力があり、下側のソースフォロワ8bは負極性の充電能力がある。

【0010】図16は、従来のアナログバッファ回路26の動作説明図であり、図16(a)はコンデンサ9a、9bのリセット状態を示す。スイッチ素子5a、5bはそれぞれリセット信号ΦR/、ΦRが供給されて導通し、コンデンサ9aは電源VDDにより充電され、コンデンサ9bは接地されて電荷がゼロになる。

【0011】図16(b)は、表示信号線25から入力される映像信号電圧VINをサンプリングする状態を示す。スイッチ素子3、6bは制御信号Φ1が供給されて導通し、スイッチ素子6aは反転制御信号Φ1/が供給されて導通する。また、ソースフォロワ8a、8bは入力される映像信号電圧VINのレベルに応じて、ゲート・ソース間に閾値電圧以上が印加されて導通する。

【0012】従って、図16(a)の状態で電圧源VDにより充電されていたコンデンサ9aは、電圧VINが低い場合に矢印60の経路で放電し、電荷がゼロであったコンデンサ9bは、電圧VINが高い場合に矢印61の経路で充電される。そして、コンデンサ9aの放電はコンデンサ9aの電圧が(VIN+Vthn)になった時点で終了し、コンデンサ9bの充電はコンデンサ9bの電圧が(VIN-Vthp)になった時点で終了する。なお、Vthnはソースフォロワ8aの閾値電圧であり、Vthpはソースフォロワ8bの閾値電圧である。

【0013】図16(c)は、サンプリング保持した電圧でデータバス30を充電する状態を示す。スイッチ素子10、7bは制御信号Φ2が供給されて導通し、スイッチ素子7aは反転制御信号Φ2/が供給されて導通する。従って、ノードN1及びデータバス30の電圧は、コンデンサ9aの充電電圧からソースフォロワ8aの閾値電圧Vthnを引いた値、又はコンデンサ9bの充電

電圧にソースフォロワ8bの閾値電圧V_{t h n}を加えた値になり、信号電圧V_{I N}と等しくなる。

【0014】この時、データバス30の電位が信号電圧V_{I N}より低ければソースフォロワ8aが導通してデータバス30の電位を上げ、データバス30の電位が信号電圧V_{I N}より高ければソースフォロワ8bが導通してデータバス30の電位を下げる。これにより、データバス30にはソースフォロワ8a、8bの閾値電圧の影響を受けない信号電圧V_{I N}が出力される。

【0015】

【発明が解決しようとする課題】このように、従来のアナログバッファ回路26は、コンデンサ9a、9bにサンプリングした電圧(V_{I N}+V_{t h n})、(V_{I N}-V_{t h p})を、ソースフォロワ回路8a、8bの閾値電圧V_{t h n}、V_{t h p}をキャンセルして出力する。しかしながら、ソースフォロワ回路8a、8bは電圧増幅度が1以下であるため、データバス30の容量は徐々に充電され、出力電圧が信号電圧V_{I N}に近づくと出力抵抗が非常に大きくなり、なかなか信号電圧V_{I N}に到達しない。

【0016】そこで、本発明は、薄膜トランジスタの閾値電圧のばらつきを補正し、データバスの容量を高速に充電可能なアナログバッファ回路及び液晶表示装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上記の目的は、入力電圧をサンプルホールドし、出力するアナログバッファ回路において、前記入力電圧が供給される入力端子と、出力電圧が出力される出力端子と、ソースが第1の電源に接続された第1のトランジスタと、該第1のトランジスタのゲートに一端が接続された第1のコンデンサとを有し、サンプリング期間に、前記入力端子を前記第1のコンデンサの他端に接続し、前記第1のトランジスタのドレインを前記第1のコンデンサの一端に接続して、前記第1のコンデンサを前記入力電圧に応じて充電し、前記第1のコンデンサに前記入力電圧と前記第1のトランジスタの閾値電圧の差の電圧と前記第1の電源の電圧との差を記憶することを特徴とするアナログバッファ回路を提供することにより達成される。

【0018】本発明によれば、第1のコンデンサに入力電圧と第1のトランジスタの閾値電圧の差の電圧と第1の電源の電圧との差を記憶するので、出力時に第1のトランジスタを利用して、閾値をキャンセルすることができる入力電圧をホールドすることができる。

【0019】また、上記の目的は、入力電圧をサンプルホールドし、出力するアナログバッファ回路において、前記入力電圧が供給される入力端子と、出力電圧が出力される出力端子と、ソースが第1の電源に接続された第1のトランジスタと、該第1のトランジスタのゲートに一端が接続された第1のコンデンサとを有し、サンプリ

ング期間に、前記入力端子を前記第1のコンデンサの他端に接続し、前記第1のトランジスタのドレインを前記第1のコンデンサの一端に接続して、前記第1のコンデンサを前記入力電圧に応じて充電し、ホールド期間に、前記第1のコンデンサが充電電圧を保持し、出力期間に、前記出力端子を前記第1のコンデンサの一端に帰還しながら、前記第1のトランジスタを経由して前記出力端子を充電又は放電することを特徴とするアナログバッファ回路を提供することにより達成される。

10 【0020】本発明によれば、トランジスタの閾値電圧の影響を受けずに入力電圧を出し、データバス容量を高速に充電でき、しかも出力トランジスタのサイズを小さくすることができる。また、本発明のアナログバッファ回路を液晶表示装置に使用することにより、大きな表示領域を持つ液晶表示パネルの大容量のデータバスを高速に精度良く充電することができる。

【0021】また、本発明のアナログバッファ回路は、更に、前記第1のトランジスタと前記出力端子との間にバッファ回路を有し、該バッファ回路を介して前記出力端子を充電又は放電することを特徴とする。

【0022】本発明によれば、出力トランジスタは大容量のデータバス容量を直接充電する必要はなく、バッファ回路の小さな入力容量だけを充電すればよい。このため出力トランジスタのサイズを小さくしてゲート・ドレイン端子間容量C_{g d}を小さくし、ゲート・ドレイン端子間容量C_{g d}がコンデンサの保持電圧に与える影響を小さくすることができる。

【0023】また、本発明のアナログバッファ回路における前記バッファ回路は、前記第1の電源電圧より小さい第3の電源電圧により駆動されることを特徴とする。

【0024】本発明によれば、データバス容量を充電するために最も電力を消費するバッファ回路の駆動電圧を、データバスの駆動に必要な最小限の電圧に下げることができ、アナログバッファ回路の消費電力を低下させることができる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0026】図1は、本発明の実施の形態のアナログバッファ回路の原理説明図である。図1により入力電圧をトランジスタの閾値電圧の影響を受けずにデータバスに出力するアナログバッファ回路の原理について説明する。図1(a)は、アナログバッファ回路内のサンプリングコンデンサC1、C2の初期化状態を示す。初期化状態では、直列に接続されたサンプリングコンデンサC1、C2はそれぞれ短絡され、電荷を放電して端子間電圧をゼロボルトにする。

50 【0027】次に、入力電圧V_{I N}をサンプリングコン

デンサC1、C2にサンプリングする。図1(b)は、入力電圧VINのサンプリング時の状態を示す。サンプリング時には、コンデンサC1、C2の接続点N10に入力端子20が接続され、p型トランジスタT7のゲート端子がドレイン端子に接続され、更にn型トランジスタT10のゲート端子がドレイン端子に接続される。

【0028】なお、p型トランジスタT7のソース端子は電源VDDに接続されており、ゲート端子はコンデンサC1の他端に接続されている。また、n型トランジスタT10のソース端子は接地電源に接続されており、ゲート端子はコンデンサC2の他端に接続されている。

【0029】このときコンデンサC1は、電源電圧VDDと入力電圧VINの差から、更にp型トランジスタT7の閾値電圧Vthpを引いた電圧(VDD-VIN-Vthp)になるまで充電される。また、コンデンサC2も、接地電圧と入力電圧VINの差からn型トランジスタT10の閾値電圧Vthnを引いた電圧(VIN-Vthn)になるまで充電される。コンデンサC1、C2の充電が完了するとトランジスタT7、T10に流れる電流はゼロになる。この状態を定常状態とする。なお、定常状態では、コンデンサC1は電圧(VDD-VIN-Vthp)を記憶し、コンデンサC2は電圧(VIN-Vthn)を記憶している。

【0030】次に、図1(c)のようにコンデンサC1、C2の接続点N10を入力端子20から切り離し、トランジスタT7及びT10のドレイン端子をノードN11及びノードN10に接続すると共に、ノードN11を出力端子21及びデータバス22に接続する。ここで、もし出力電圧VOUTが入力電圧VINと等しければトランジスタT7及びT10のゲート電位は定常状態と変わらず出力電圧VOUTは変動しない。

【0031】一方、出力電圧VOUTが入力電圧VINより高電位なら、トランジスタT10のゲート電位がコンデンサC2の容量カップリングにより上昇し、トランジスタT10に電流が流れ出力電圧VOUTを下げる。そして、出力電圧VOUTがトランジスタT10の閾値電圧VthnにコンデンサC2の充電電圧(VIN-Vthn)を加えた電圧VINになると、トランジスタT10はオフし、出力電圧VOUTの引き下げは停止する。逆に出力電圧VOUTが入力電圧VINより低電位なら、トランジスタT7のゲート電位がコンデンサC1の容量カップリングにより下降し、トランジスタT7に電流が流れ出力電圧VOUTを上げる。この場合は、出力電圧VOUTが電源電圧VDDからトランジスタT7の閾値電圧Vthpを引いた電圧(VDD-Vthp)よりコンデンサC1の充電電圧(VDD-VIN-Vthp)だけ低い電圧VINになると、トランジスタT7はオフし、出力電圧VOUTの引き下げは停止する。これにより、最終的に出力電圧VOUT=入力電圧VINとなり、出力電圧VOUTにトランジスタT7、

T10のしきい値電圧Vthp、Vthnの影響は現れない。しかも、トランジスタT7、T10は共にソースが電源に接続されたいわゆるソース接地型トランジスタであり、従来のソースフォロワ型よりも駆動能力が大きい。

【0032】図1(c)はトランジスタT7、T10及びコンデンサC1、C2からなる反転増幅器の出力N11を入力N10に帰還した構成になっており、負帰還増幅器を形成している。薄膜トランジスタT7、T10による反転増幅器は約100倍の増幅度があるため、負帰還増幅器の出力抵抗は薄膜トランジスタT7、T10の出力抵抗の約1/100になる。従って、負帰還増幅器は、データバス22に大きな電流を出力することができ、データバス容量Cdを高速に充電することができる。このことは、従来のアナログバッファ回路と同一の出力電流を流すのであれば、薄膜トランジスタT7、T10のサイズを約1/100にできることを意味する。

【0033】出力電圧VOUTでデータバス容量Cdを充電する場合に、図1(d)のようにトランジスタT7、T10のドレイン端子を出力バッファ回路23の入力に接続し、出力バッファ回路23の出力をコンデンサC1、C2の接続点N10に帰還することも可能である。

【0034】この場合、トランジスタT7、T10は、数10pF程度の大きなデータバス容量Cdを直接充電する必要はなく、0.1pF程度の出力バッファ回路23の入力容量を充電すればよく、トランジスタT7、T10のサイズを更に小さくすることが可能になる。

【0035】このように本発明の実施の形態のアナログバッファ回路によれば、トランジスタの閾値電圧の影響を受けずに入力電圧を出し、データバス容量を高速に充電できる。しかも、図1(d)の構成にすると、出力トランジスタのサイズを小さくすることができる。また、本実施の形態のアナログバッファ回路を液晶表示装置に使用することで、大きな表示領域を持つ液晶表示パネルの大容量のデータバスを高速に精度良く充電することができる。

【0036】図2は、本発明の第1の実施の形態のアナログバッファ回路26の回路図であり、図3は、本発明の第1の実施の形態の駆動回路一体型の液晶表示装置の構成図である。また、本実施の形態のアナログバッファ回路26の制御タイミングを図4に示し、その動作説明図を図5、図6、図7に示す。

【0037】図2に示すように、本実施の形態のアナログバッファ回路26では、トランジスタT7のソース端子を電源VDDに接続し、ドレイン端子とゲート端子の間にスイッチ素子T5を設け、ゲート端子にコンデンサC1の一端を接続する。また、トランジスタT7のゲート端子と基準電圧源Vrefの間にスイッチ素子T3を設け、ドレイン端子とノードN11の間にスイッチ端子

T8を設け、コンデンサC1の他端をノードN10に接続する。

【0038】同様に、トランジスタT10のソース端子を接地電源に接続し、ドレイン端子とゲート端子の間にスイッチ素子T6を設け、ゲート端子にコンデンサC2の一端を接続する。また、トランジスタT10のゲート端子と基準電圧源Vrefの間にスイッチ素子T4を設け、ドレイン端子とノードN11の間にスイッチ端子T9を設け、コンデンサC2の他端をノードN10に接続する。

【0039】そして、ノードN10とノードN11を接続すると共に、ノードN10と基準電圧源Vrefの間にスイッチ素子T2を設け、入力端子20とノードN10の間にスイッチ端子T1を設ける。また、ノードN11をスイッチ素子T11を介して出力端子21に接続する。

【0040】図3は、本発明の第1の実施の形態の液晶表示装置の構成図である。本実施の形態の液晶表示装置は、約3000本のデータバス30と約800本のゲートバス31がマトリクス状に配線され、各データバス30と各ゲートバス31の交差部にはスイッチ素子32を介して1画素に相当する液晶セル33と蓄積容量34が形成される。また、映像信号SINが供給される表示信号線25と各データバス30との間には図2に示した第1の実施の形態のアナログバッファ回路26が設けられる。

【0041】アナログバッファ回路26は、データ・シフトレジスタ35から供給される走査信号に応答して、映像信号SINをデータバス30に左から右に順に書き込む。ゲート・シフトレジスタ36は、ゲートバス31に走査信号を上から下に順に供給し、データバス30に書き込まれた映像信号SINを1水平走査毎に液晶セル33に供給する。このようにデータ・シフトレジスタ35の1走査毎にゲート・シフトレジスタ36を1段ずつ走査することにより、すべての液晶セル33に映像信号SINを供給することができる。

【0042】本実施の形態のアナログバッファ回路26は、以下に説明するように、データバス30を高速に充電可能であり、薄膜トランジスタの閾値電圧の補正を十分に行うことができ、かつ出力トランジスタのサイズを小さくすることができる。

【0043】図4のタイミング図及び図5乃至図7の動作説明図により本実施の形態のアナログバッファ回路26の動作について説明する。図4(1)は、表示信号線25から入力される映像信号SINを示す。ここで時間t0から時間t5までが1水平走査期間に相当する。映像信号SINは、電圧振幅が10Vであり、液晶の劣化を防止するために、1水平走査期間毎に正極性と負極性に交互に反転される。

【0044】図4(2)は、水平同期信号H Syncを

示す。水平同期信号H SyncがHレベルの期間(t0 ~ t2)は、1水平走査期間の開始点を示すと共に、1つ前の水平走査期間からの戻り期間である水平帰線期間に相当する。本実施の形態のアナログバッファ回路26は、この水平帰線期間にサンプリングコンデンサC1、C2の初期化動作を行う。

【0045】図4(3)に示すリセット信号ΦRがHレベルの期間(t1 ~ t2)が初期化期間に相当する。初期化期間には、図5に示すように、リセット信号ΦRによりスイッチ素子T2、T4が導通し、反転リセット信号ΦR/によりスイッチ素子T3が導通する。これによりコンデンサC1、C2は、基準電圧源Vrefを介してそれぞれ短絡され、矢印41、42の電流が流れ充電されていた電荷を放電する。なお、コンデンサC1、C2の放電方法としては、図1(a)で示したようにコンデンサC1、C2のそれぞれの端子間を直接短絡してもよい。

【0046】次に、映像信号SINをそれぞれのアナログバッファ回路26のコンデンサC1、C2にサンプリングする。図4(4)はn番目のデータバス30に映像信号SINを書き込むためのサンプリング用の制御信号Φ1を示す。即ち、データ・シフトレジスタ35から供給される制御信号Φ1がHレベルの期間(t3 ~ t4)に、映像信号SINの電圧VINをコンデンサC1、C2にサンプリングし、矢印40に示すように時間t5以降にデータバス30に出力する。

【0047】図6は、サンプリング期間(t3 ~ t4)の説明図である。この期間は、制御信号Φ1によりスイッチ素子T1、T6が導通し、反転制御信号Φ1/によりスイッチ素子T5が導通する。入力電圧VINのレベルに応じて、トランジスタT7のゲート端子がコンデンサC1の容量カッピングにより引き下げられ、またトランジスタT10のゲート端子がコンデンサC2の容量カッピングにより引き上げられ、トランジスタT7、T10は導通し、コンデンサC1、C2には矢印43、44で示す電流が流れ充電される。そして、図1で説明した通り、コンデンサC1は電圧(VDD - VIN - Vthp)になるまで充電され、トランジスタT7のゲート電位は(VDD - Vthp)になる。同様に、コンデンサC2は電圧(VIN - Vthn)になるまで充電され、トランジスタT10のゲート電位はVthnになる。

【0048】時間t4を経過するとコンデンサC1、C2の充電は完了し、トランジスタT7、T10に電流が流れなくなり、定常状態になる。なお、図4(7)、(8)に示すトランジスタT7とT10のドレイン端子電圧は、サンプリング期間(t3 ~ t4)にゲート端子と接続されるため、大きく変化して、それぞれVDD - Vthp、Vthnになる。

【0049】次に、コンデンサC1、C2にサンプリ

グした電圧でデータバス30を充電する。図4(5)に示す制御信号Φ2がHレベルの期間($t_5 \sim t_6$)がデータバス充電期間に相当する。データバス充電期間には、図7に示すように制御信号Φ2によりスイッチ素子T9、T11が導通し、反転制御信号Φ2'によりスイッチ素子T8が導通する。

【0050】前述のようにデータバス充電期間には、トランジスタT7、T10、コンデンサC1、C2、スイッチ素子T8、T9、T11により帰還増幅器が構成される。この場合、データバス30の電圧VOUTが入力電圧VINと同じならばトランジスタT7、T10のゲートの電位は先の定常状態と同じなので何も起こらない。

【0051】データバス30の電圧VOUTが入力電圧VINよりも低電位なら、トランジスタT7のゲート電位はコンデンサC1の容量カッピングにより定常状態よりも下げられる。従って、トランジスタT7からデータバス30の電圧VOUTを上昇させる矢印45の方向に電流が流れる。そして、図1で説明した通り、充電電流45により出力VOUTが(VDD-Vthp)からコンデンサC1の充電電圧(VDD-Vthp-VIN)を引いた電圧VINまで上昇すると、トランジスタT7の充電動作が停止する。このときトランジスタT10に電流は流れない。

【0052】一方、データバス30の電圧VOUTが入力電圧VINよりも高電位なら、トランジスタT10のゲート電位はコンデンサC2により定常状態より上げられる。従って、トランジスタT10にデータバス30の電圧VOUTを下降させる矢印46の方向に電流が流れる。そして、出力電圧VOUTが入力電圧VINまで下降するとトランジスタT10の放電動作が停止する。このときトランジスタT7に電流は流れない。

【0053】以上によりデータバス30の電圧VOUTは、トランジスタT7、T10の閾値電圧Vthp、Vthnに影響されず、入力電圧VINと同じになる。このため薄膜トランジスタを用いてアナログバッファ回路26を画素トランジスタらと一体形成した液晶表示装置において、データバス30に映像信号SINを精度良く出力することができる。しかも、充電用のトランジスタT7、T10は共にソース接地されているので、充電駆動能力は、従来例より大きい。

【0054】ところで図3に示した第1の実施の形態の液晶表示装置においては、図4のタイミング図に示したように、データバス充電期間である制御信号Φ2がHレベルの期間($t_5 \sim t_6$)は、1水平走査期間($t_0 \sim t_5$)の約1/5以下の時間しか無い。しかし、液晶表示パネルのサイズが大きくなるとデータバス容量が増加するので、データバス容量を十分に充電するために、データバス充電時間をより長く確保することが望ましい。

【0055】図8は、第2の実施の形態の液晶表示装置

の構成図で、データバス充電時間をより長く確保するために、第1の実施の形態のアナログバッファ回路26を2個縦続に接続したものである。前段のアナログバッファ回路26は第1の実施の形態の液晶表示装置と同様に表示信号線25から映像信号SINが供給され、データ・シフトレジスタ35から制御信号Φ1(a)が供給されてサンプリング・ホールドされ、その後出力信号VO_{UT1}を出力する。後段のアナログバッファ回路26は前段のアナログバッファ回路26と縦続に接続され、データ・シフトレジスタ35から制御信号Φ1(b)が供給されて出力信号VO_{UT1}をサンプリング・ホールドし、その後出力信号VO_{UT2}をデータバス30に出力する。

【0056】図9は、第2の実施の形態の液晶表示装置のタイミング図である。前段のアナログバッファ回路26の動作タイミングを示す図9(1)～(6)の映像信号SIN、水平同期信号HSYNC、リセット信号ΦR(a)、制御信号Φ1(a)、Φ2(a)、出力信号VO_{UT1}は、第1の実施の形態の場合と同様である。

【0057】後段のアナログバッファ回路26は、図9(7)に示すリセット信号ΦR(b)が初期化信号となる。リセット信号ΦR(b)は前段のアナログバッファ回路26の信号出力期間($t_{13} \sim t_{16}$)の前半の期間($t_{13} \sim t_{14}$)にHレベルとなり、サンプリングコンデンサC1、C2を放電する。

【0058】次に、図9(8)に示す制御信号Φ1(b)を、前段のアナログバッファ回路26の信号出力期間($t_{13} \sim t_{16}$)の後半の期間($t_{15} \sim t_{16}$)にHレベルにする。そして、この期間に前段のアナログバッファ回路26の出力信号VO_{UT1}をサンプリングする。

【0059】そして、図9(9)に示す制御信号Φ2(b)をHレベルにしてデータバス30を充電するが、第2の実施の形態では、データバス充電期間($t_{16} \sim t_{21}$)は1水平期間($t_{13} \sim t_{21}$)の約4/5の時間にできる。従って、データバス容量が大きく、図9(10)に示すようにデータバス30の充電に長時間かかる場合でも、出力信号VO_{UT2}を入力信号VINに十分に近づけることができる。

【0060】このように、第2の実施の形態の液晶表示装置では、前段のアナログバッファ回路26でサンプリングした入力信号VINを、後段のアナログバッファ回路26により1水平期間の約4/5の時間を利用した線順次駆動でデータバス30に出力することができる。従って、液晶表示パネルの面積を大きくしデータバス容量が更に大きくなった場合でも、データバス30を十分に駆動することができる。

【0061】以上に説明したように、第1、第2の実施の形態のアナログバッファ回路は、入力電圧VINを薄膜トランジスタの閾値電圧の影響を受けずに出し、デ

ータバス 30 を充電することができる。しかし、図 4 (7)、(8) に示すように、トランジスタ T7 と T10 のドレイン端子電圧は、時間 $t_5 - t_6$ のデータバス充電時に大きく変化する。このとき、トランジスタ T7 と T10 のゲート・ドレイン端子間容量 C_{gd} がホールド用のコンデンサ C1、C2 の容量に対して無視できない大きさの場合は、コンデンサ C1、C2 にサンプリングされた電圧は、ゲート・ドレイン端子間容量 C_{gd} の影響を受け、正確な電圧を保持することができない。例えば、コンデンサ C1、C2 の容量を C_h とすれば、コンデンサ C1、C2 には $\Delta V_c = C_{gd} / (C_{gd} + C_h) \times V_{ds}$ の電圧変動が生じる。なお、 V_{ds} はドレイン端子電圧の電圧変化分である。

【0062】ゲート・ドレイン端子間容量 C_{gd} はトランジスタサイズを小さくすると減少するが、トランジスタ T7、T10 のサイズを小さくすると、データバス 30 を充電する能力が低下し、充電期間が長くなってしまう。

【0063】そこでこれらの問題を解決し、ゲート・ドレイン端子間容量 C_{gd} を小さくしても、データバス 30 を高速に充電できる第 3 の実施の形態のアナログバッファ回路について説明する。第 3 の実施の形態のアナログバッファ回路は、出力トランジスタのドレイン端子とデータバスの間に出力バッファ回路を設け、出力バッファ回路の出力電圧をサンプリング用のコンデンサの接続点に帰還するものである。

【0064】図 10 は、本発明の第 3 の実施の形態のアナログバッファ回路 26 の回路図である。第 1 の実施の形態と同様の部分の説明は省略し異なる部分について説明する。第 3 の実施の形態のアナログバッファ回路 26 は、スイッチ素子 T8、T9 と出力 VOUT との間に output バッファ回路 23 を設け、出力バッファ回路 23 の出力ノード N20 とコンデンサ C1、C2 の接続点 N10 の間に制御信号 Φ_2 により制御されるスイッチ素子 T15 を設ける。

【0065】出力バッファ回路 23 は、電源 VDD と接地 GND の間に N チャネルトランジスタ T13 と P チャネルトランジスタ T14 をプッシュプルに接続し、トランジスタ T13、T14 のゲート端子間にダイオード接続したトランジスタ T12 を設ける。また、トランジスタ T13 のゲート端子をスイッチ素子 T8 の一端に接続し、トランジスタ T14 のゲート端子をスイッチ素子 T9 の一端に接続する。なお、トランジスタ T12 は、出力バッファ回路 23 の出力信号のひずみを低下させるものであり、ダイオード接続したトランジスタを 2 個直列にしたものでもよい。

【0066】第 2 の実施の形態のアナログバッファ回路 26 の動作タイミングは、図 4 に示した第 1 の実施の形態の場合と同様であるが、制御信号 Φ_2 が H レベルになるデータバス充電期間 ($t_5 - t_6$) にスイッチ素子 T

8、T9、T11 加えてスイッチ素子 T15 も導通する。従って、出力バッファ回路 23 を設けても、出力電圧 VOUT がスイッチ T15 を介してコンデンサ C1、C2 にフィードバックされるので、出力電圧 VOUT には閾値電圧をキャンセルした入力電圧 VIN が供給される。

【0067】第 1 の実施の形態では、トランジスタ T7、T10 は数 10 pF もあるデータバス容量 C_d を直接充電しなければならないが、本実施の形態では、 0.1 pF 程度の出力バッファ回路 23 の入力容量だけを充電すればよい。このためトランジスタ T7、T10 のサイズを小さくしてゲート・ドレイン端子間容量 C_{gd} を小さくし、ゲート・ドレイン端子間容量 C_{gd} がコンデンサ C1、C2 の保持電圧に与える影響を小さくすることができる。

【0068】次に、低消費電力化が可能な第 4 の実施の形態のアナログバッファ回路の回路図を図 11 に示す。第 4 の実施の形態のアナログバッファ回路 26 は、図 10 に示す第 3 の実施の形態と同様の構成において、出力バッファ回路 23 の電圧源 VDD2 及び接地電位 GND2 を、他の電圧源 VDD1 及び接地電位 GND1 と異ならせたものである。

【0069】例えば、電圧源 VDD1 = 20V、GND1 = 0V の場合に電圧源 VDD2 = 17V ~ 16V、GND2 = 3V ~ 4V とする。これは、15V ~ 5V の映像信号 S IN をサンプルホールドして出力する場合、トランジスタ T7、T10 の閾値電圧は 3V 程度あるので、電圧源 VDD1 と GND1 の間の電圧は小さくできないが、出力バッファ回路 23 は電圧源 VDD2 と GND2 の間の電圧で駆動できるからである。

【0070】本実施の形態によれば、データバス容量 C_d を充電するために最も電力を消費する出力バッファ回路 23 の駆動電圧を、データバス 30 の駆動に必要な最小限の電圧に下げることができ、アナログバッファ回路 26 の消費電力を低下させることができる。

【0071】ところで大面積の液晶パネルを備えた液晶表示装置では、データバス 30 の本数が増加するにつれて、データバス 1 本あたりのサンプリング時間が短くなる。図 12 は、短いサンプリング時間に十分なサンプリング動作を行うことができる第 5 の実施の形態のアナログバッファ回路 26 の回路図である。

【0072】図 12 に示す第 5 の実施の形態のアナログバッファ回路 26 は、図 11 に示す第 4 の実施の形態と同様の構成において、ノード N10 と接地 GND1 の間に補助コンデンサ C3 を設けたものである。この補助コンデンサ C3 は、制御信号 Φ_1 により導通するスイッチ素子 T1 によって高速に充電される。これは高速な 1 次サンプリングに相当する。本実施の形態では、1 次サンプリングが完了してスイッチ素子 T1 が短時間で非導通になったあとも、補助コンデンサ C3 に入力電圧 VIN

が保持されるので、入力電圧V_{IN}に応じた電圧になる様にコンデンサC₁、C₂に充電する2次サンプリングを比較的長い時間をかけて引き続き行うことができる。なお、2次サンプリングは、スイッチ素子T₅、T₆に制御信号Φ₃／、Φ₃を供給することにより行う。

【0073】図13は、第5の実施の形態のアナログバッファ回路26のタイミング図である。図13(1)乃至(6)は、図4に示した第1の実施の形態の場合と同様であるが、第4の実施の形態では、図13(7)に示す制御信号Φ₃が追加されている。そして、制御信号Φ₁は補助コンデンサC₃を充電する1次サンプリングに使用され、制御信号Φ₃はコンデンサC₁、C₂を充電する2次サンプリングに使用される。

【0074】まず、図13(4)に示す制御信号Φ₁がHレベルの期間(t₃₃～t₃₄)に、映像信号S_{IN}の1次サンプリングを行い補助コンデンサC₃を充電する。本実施の形態では、1次サンプリングが終了した後も制御信号Φ₃はHレベルを維持するので(t₃₄～t₃₅)、コンデンサC₁、C₂を充電する2次サンプリングを継続して行うことができる。これにより1次サンプリング時間(t₃₃～t₃₄)が短い場合にも、コンデンサC₁、C₂に入力信号V_{IN}を高精度に充電することができる。

【0075】

【発明の効果】以上説明した通り、本発明によれば、トランジスタの閾値電圧の影響を受けずに入力電圧を出力し、データバス容量を高速に充電でき、しかも出力トランジスタのサイズを小さくすることができる。

【0076】また、出力トランジスタは大容量のデータバス容量を直接充電する必要はなく、出力バッファ回路の小さな入力容量だけを充電すればよい。このため出力トランジスタのサイズを小さくしてゲート・ドレイン端子間容量C_{gd}を小さくし、ゲート・ドレイン端子間容量C_{gd}がコンデンサの保持電圧に与える影響を小さくすることができる。

【0077】更に、本発明のアナログバッファ回路を備えた液晶表示装置により、大きな表示領域を持つ液晶表示パネルの大容量のデータバスを高速に精度良く充電することができる。

【図面の簡単な説明】

【図1】本発明のアナログバッファ回路の原理説明図で

ある。

【図2】本発明の第1の実施の形態のアナログバッファ回路の回路図である。

【図3】本発明の第1の実施の形態の液晶表示装置の構成図である。

【図4】本発明の第1の実施の形態のアナログバッファ回路のタイミング図である。

【図5】本発明の第1の実施の形態のアナログバッファ回路の初期化の説明図である。

10 【図6】本発明の第1の実施の形態のアナログバッファ回路のサンプリングの説明図である。

【図7】本発明の第1の実施の形態のアナログバッファ回路のデータバス充電の説明図である。

【図8】本発明の第2の実施の形態の液晶表示装置の構成図である。

【図9】本発明の第1の実施の形態の液晶表示装置のタイミング図である。

【図10】本発明の第3の実施の形態のアナログバッファ回路の回路図である。

20 【図11】本発明の第4の実施の形態のアナログバッファ回路の回路図である。

【図12】本発明の第5の実施の形態のアナログバッファ回路の回路図である。

【図13】本発明の第5の実施の形態のアナログバッファ回路のタイミング図である。

【図14】従来の液晶表示装置の構成図である。

【図15】従来のアナログバッファ回路の回路図である。

30 【図16】従来のアナログバッファ回路の動作説明図である。

【符号の説明】

20 入力端子

21 出力端子

23 出力バッファ回路

25 表示信号線

26 アナログバッファ回路

35 データ・シフトレジスタ

36 ゲート・シフトレジスタ

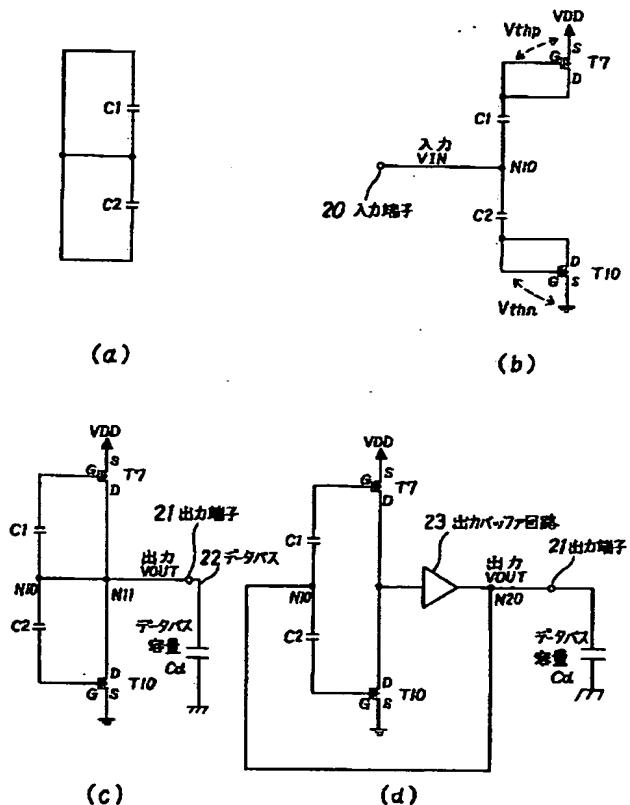
32 スイッチ素子

40 33 液晶セル

34 蓄積容量

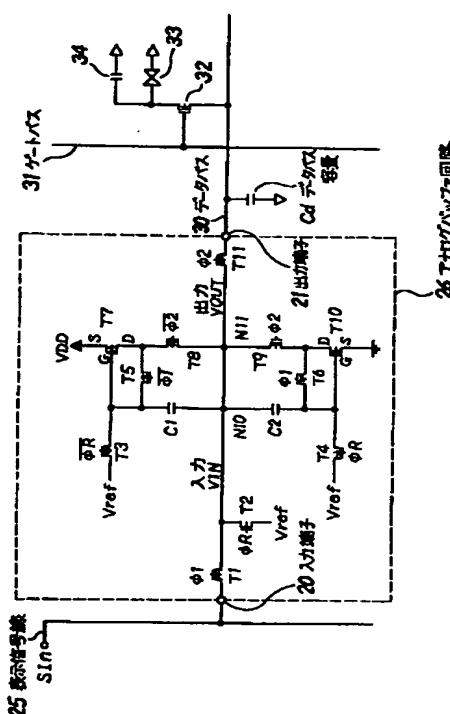
【図 1】

本発明のアナログバッファ回路の原理説明図



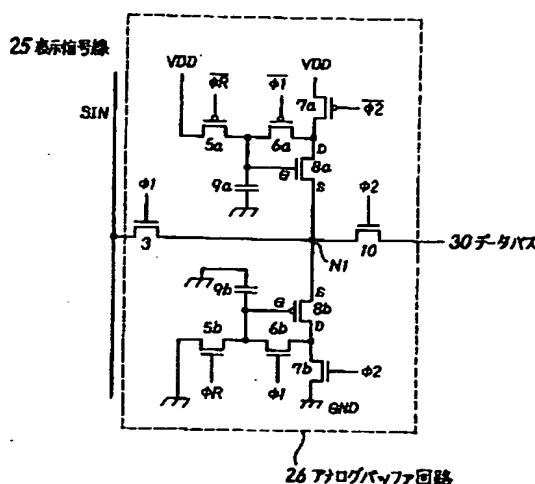
【図 2】

本発明の第1の実施の形態のアナログバッファ回路の回路図



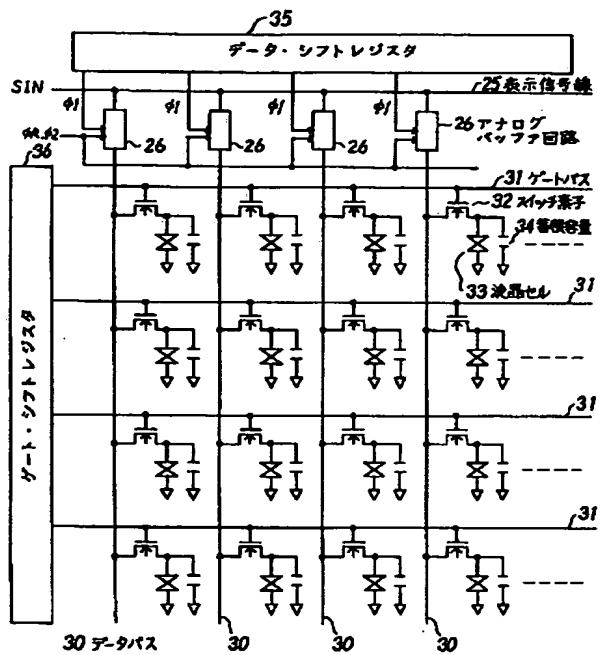
【図 1-5】

従来のアナログバッファ回路の回路図



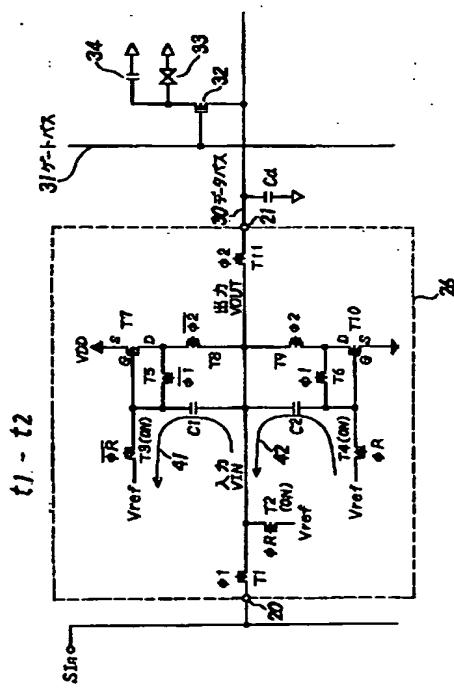
【図3】

本発明の第1の実施の形態の液晶表示装置の構成図



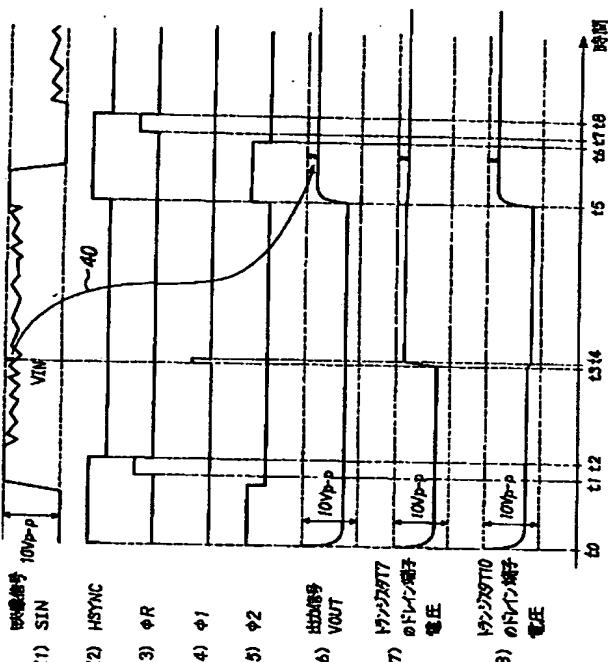
【図5】

本発明の第1の実施の形態のアナログバッファ回路の初期化の説明図



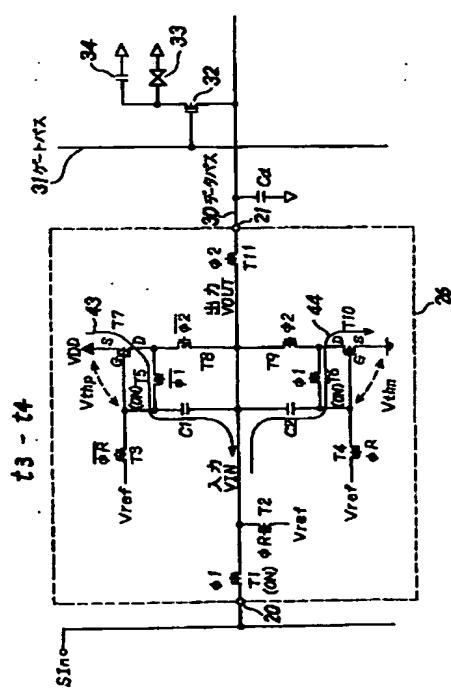
【図4】

本発明の第1の実施の形態のアナログバッファ回路のタイミング図



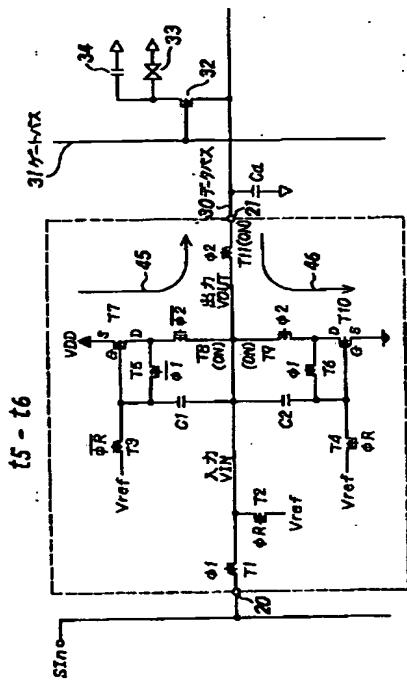
【図6】

本発明の第1の実施の形態のアナログバッファ回路のサンプリングの説明図



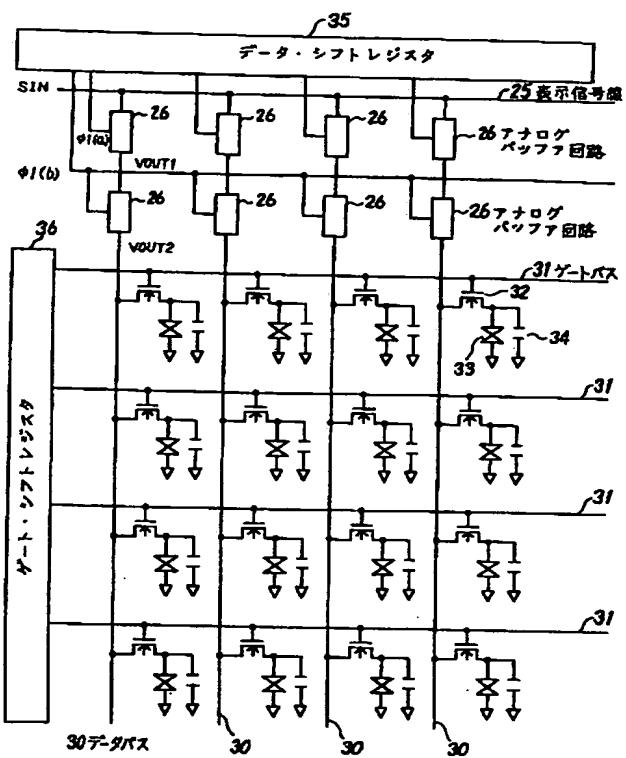
【図 7】

本発明の第1の実施の形態のアナログバックア回路のアタバス充電の説明図



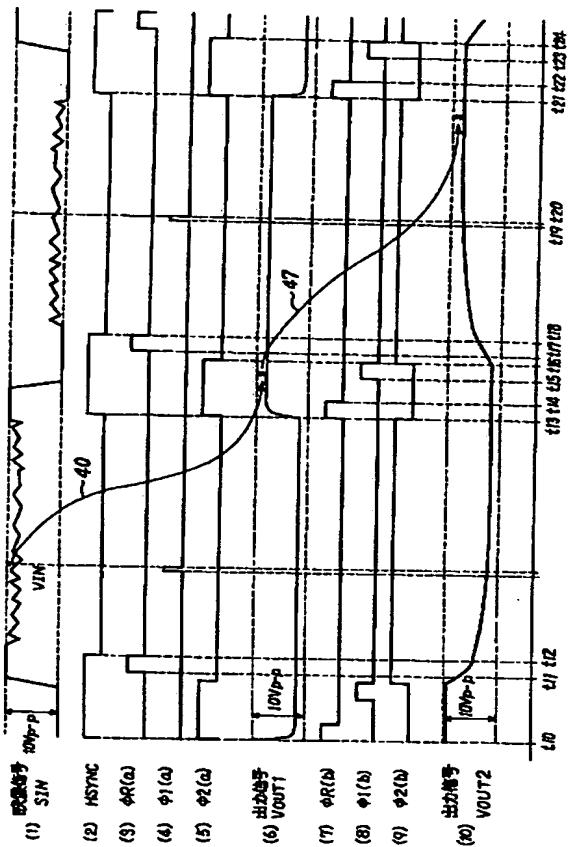
【図 8】

本発明の第2の実施の形態の液晶表示装置の構成図



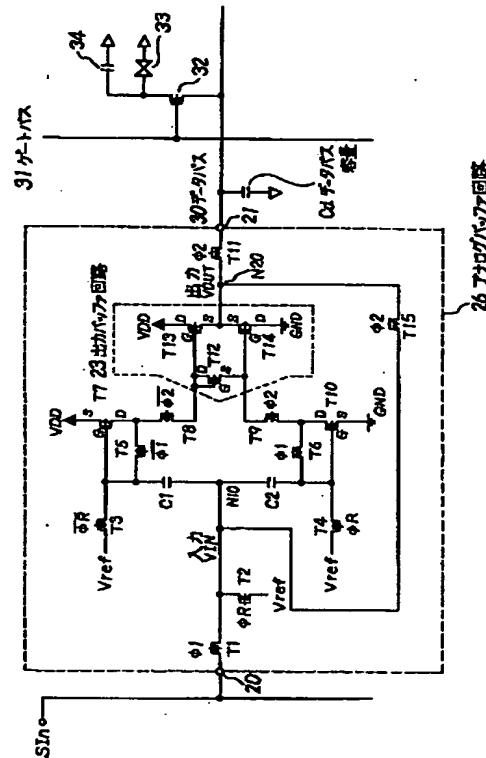
[図 9]

本発明の第2の実施の形態の液晶表示装置のタイミング図



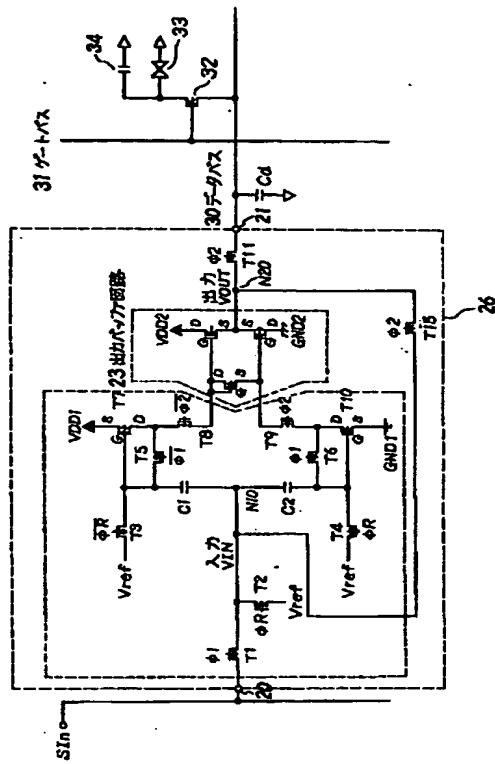
〔四一〇〕

本発明の第3の実施の形態のアナログバッファ回路の回路図



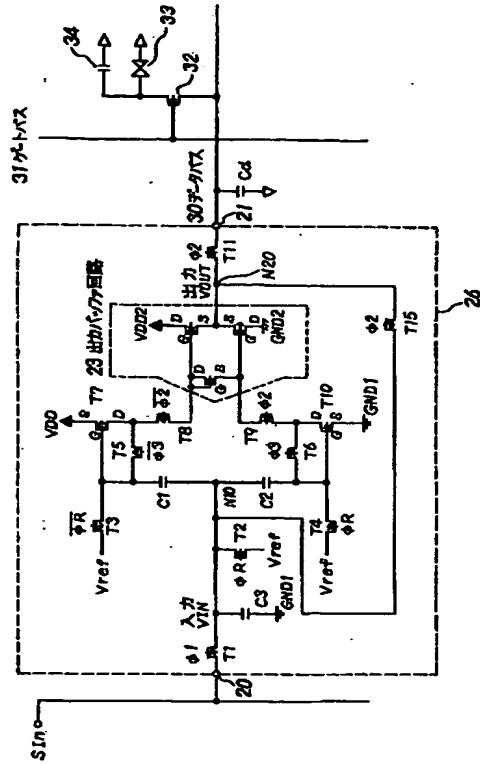
【図 1 1】

本発明の第4の実施の形態のアナログバッファ回路の回路図



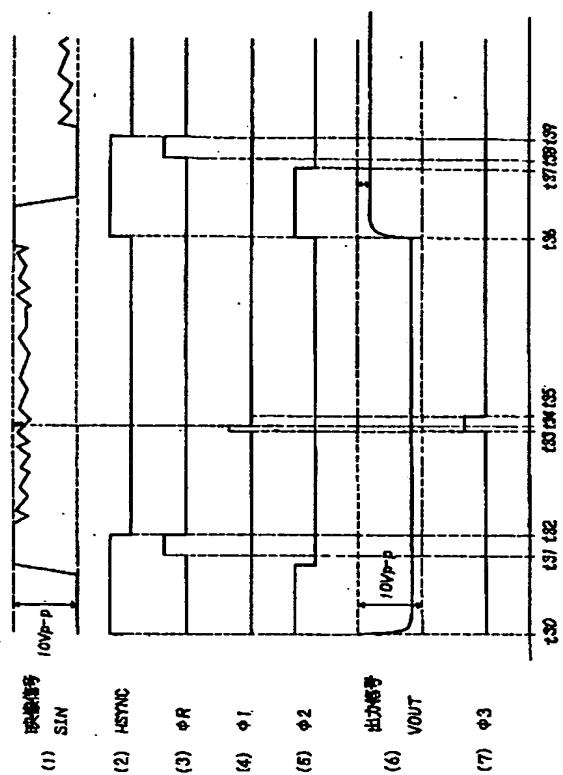
【図 1 2】

本発明の第5の実施の形態のアナログバッファ回路の回路図



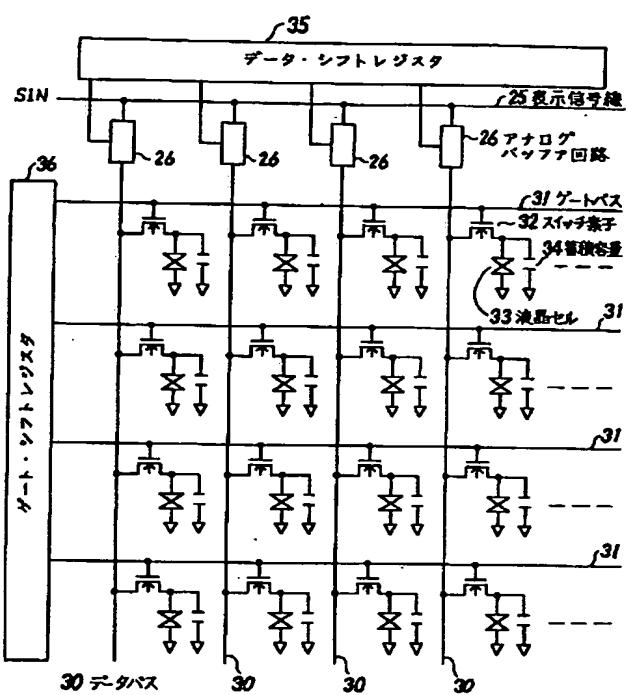
【図 1 3】

本発明の第5の実施の形態のアナログバッファ回路のタイミング図



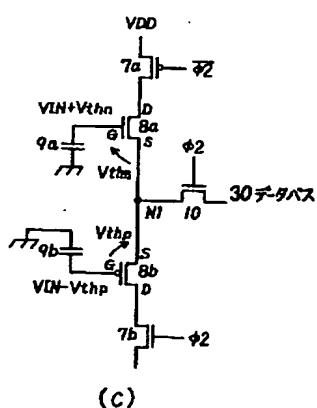
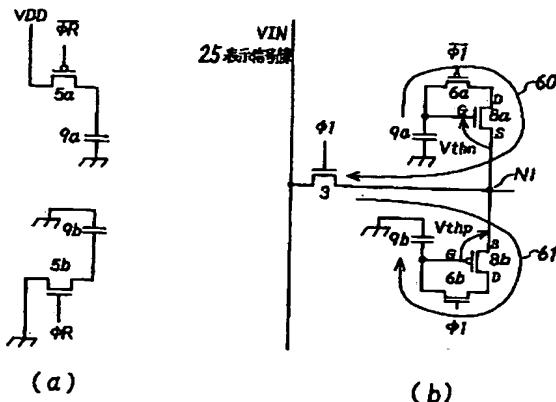
【図 1 4】

従来の液晶表示装置の構成図



【図 16】

従来のアナログパッファ回路の動作説明図



フロントページの続き

F ターム(参考) 2H093 NA16 NC13 NC23 NC34 ND33
 ND43 NF04
 5C006 AA01 AC27 AF54 BB16 BC03
 BC13 BF03 BF11 BF25 BF32
 BF37 FA14 FA20 FA47
 5C080 AA10 BB05 DD07 DD08 DD26
 EE17 FF11 GG08 JJ02 JJ03
 JJ04